

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-162460

(43)Date of publication of application : 21.06.1996

(51)Int.Cl.

H01L 21/3213

H01L 21/316

H01L 21/318

H01L 21/3205

(21)Application number : 06-306133

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 09.12.1994

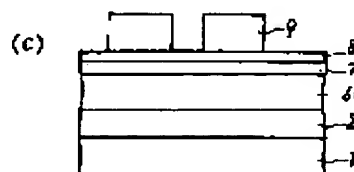
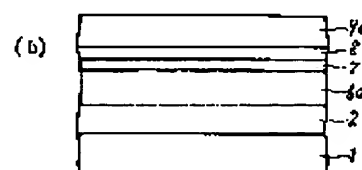
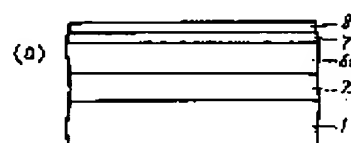
(72)Inventor : KINOSHITA MITSUYA

(54) SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

(57)Abstract:

PURPOSE: To improve patterning precision of a wiring layer by a method wherein a wiring layer containing aluminum is formed on a semiconductor substrate while a titanium nitride film is formed only on the wiring layer as well as a silicon oxide is formed only on the titanium nitride film.

CONSTITUTION: An Al alloy film 6a, a titanium nitride film 7 and a silicon oxide film 8 are successively formed on an interlayer insulating film 2 of a semiconductor substrate 1. Next, the silicon oxide film 8 is coated with a chemical amplification resist 9a to be patterned for the formation of a chemical amplification resist film 9. At this time, the reaction of the chemical amplification resist 9a to a titanium nitride 7 is obstructed by the silicon oxide film 8. Furthermore, since the titanium nitride 7 serves as a reaction preventive film, the chemical amplification film 9 can be patterned with high precision.



LEGAL STATUS

[Date of request for examination]

04.10.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平8-162460

(43) 公開日 平成8年(1996)6月21日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/3213				
21/316	M			
21/318	M			
			H 0 1 L 21/ 88	C
				N

審査請求 未請求 請求項の数 8 O L (全 8 頁) 最終頁に続く

(21) 出願番号 特願平6-306133

(22) 出願日 平成6年(1994)12月9日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 木下 充矢

伊丹市瑞原4丁目1番地 三菱電機株式会

社ユー・エル・エス・アイ開発研究所内

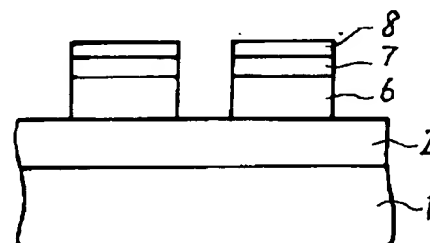
(74) 代理人 弁理士 高田 守 (外4名)

(54) 【発明の名称】 半導体装置および半導体装置の製造方法

(57) 【要約】

【目的】 配線層の信頼性を向上させることができる半導体装置を得る。

【構成】 半導体基板1上に形成されたアルミニウムを含む配線層6と、配線層6上にのみ形成された窒化チタン膜7と、窒化チタン膜7上にのみ形成されたシリコン酸化膜8とを備える。



1: 半導体基板

6: 配線層

7: 窒化チタン膜

8: シリコン酸化膜

【特許請求の範囲】

【請求項 1】 半導体基板上に形成されたアルミニウムを含む配線層と、上記配線層上のみに形成された窒化チタン膜と、上記窒化チタン膜上のみに形成されたシリコン酸化膜とを備えたことを特徴とする半導体装置。

【請求項 2】 シリコン酸化膜の膜厚を、上記シリコン酸化膜および窒化チタン膜の境界面で反射した光と、上記シリコン酸化膜の上面で反射した光とが位相の反転により打ち消し合う厚みに設定したことを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 半導体基板上に形成されたアルミニウムを含む配線層と、上記配線層上のみに形成された窒化チタン膜と、上記窒化チタン膜上のみに形成されたプラズマ窒化膜と、上記プラズマ窒化膜上のみに形成された酸化膜とを備えたことを特徴とする半導体装置。

【請求項 4】 半導体基板上にアルミニウムを含む導電膜および窒化チタン膜およびシリコン酸化膜を順次積層する工程と、上記シリコン酸化膜上に化学増幅型レジストを塗布し写真製版によりパターンニングを行う工程と、上記化学増幅型レジストをマスクとして上記導電膜および上記窒化チタン膜および上記シリコン酸化膜のエッチングを行いパターンニングされた上記導電膜から成る配線層を形成する工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項 5】 配線層を形成した後シリコン酸化膜をエッチング除去する工程と、上記配線層を覆うように層間絶縁膜を形成する工程と、上記層間絶縁膜のエッチングを行い窒化チタン膜に至るまでのコンタクトホールを形成する工程とを備えたことを特徴とする請求項 4 記載の半導体装置の製造方法。

【請求項 6】 シリコン酸化膜の膜厚を、上記シリコン酸化膜および窒化チタン膜の境界面で反射した光と、上記シリコン酸化膜の上面で反射した光とが位相の反転により打ち消し合う厚みに形成するようにしたことを特徴とする請求項 4 または請求項 5 記載の半導体装置の製造方法。

【請求項 7】 半導体基板上にアルミニウムを含む導電膜および窒化チタン膜およびプラズマ窒化膜を順次積層する工程と、上記プラズマ窒化膜の上面を酸化して酸化膜を形成する工程と、上記酸化膜上に化学増幅型レジストを塗布し写真製版によりパターンニングを行う工程と、上記化学増幅型レジストをマスクとして上記導電膜および上記窒化チタン膜および上記プラズマ窒化膜および上記酸化膜のエッチングを行いパターンニングされた上記導電膜から成る配線層を形成する工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項 8】 配線層を形成した後プラズマ窒化膜および酸化膜をエッチング除去する工程と、上記配線層を覆うように層間絶縁膜を形成する工程と、上記層間絶縁膜のエッチングを行い窒化チタン膜に至るまでのコンタク

トホールを形成する工程とを備えたことを特徴とする請求項 7 記載の半導体装置の製造方法。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】 この発明は配線層の信頼性を向上させるための半導体装置および半導体装置の製造方法に関するものである。

【0002】

【従来の技術】 図 6 は従来の半導体装置の構成を示す断面図である。図において、1 は半導体基板、2 はこの半導体基板 1 上に形成された層間絶縁膜、3 はこの層間絶縁膜 2 上に形成された A1 の合金から成る配線層、4 はこの配線層 3 のエレクトロマイグレーションを防止するため配線層 3 上に形成された窒化チタン膜である。

【0003】 次に上記のように構成された従来の半導体装置の製造工程について図 6 および図 7 を用いて説明する。まず、半導体基板 1 の層間絶縁膜 2 上に A1 合金膜 3 a および窒化チタン膜 4 を順次積層する（図 7 (a)）。次に、窒化チタン膜 4 上に化学増幅型レジスト 5 a を塗布し（図 7 (b)）、これをパターンニングして化学増幅型レジスト膜 5 を形成する（図 7 (c)）。この際、窒化チタン膜 4 は A1 合金膜 3 a より反射防止性が優れているため、化学増幅型レジスト 5 a のパターンニングの感度は向上される。しかしながら、化学増幅型レジスト 5 a の写真製版時に生じる酸と、塩基性の窒化チタン膜 4 とが反応し「酸の失活」という現象が発生するため、図 7 (c) に示すようにパターンニングされた化学増幅型レジスト膜 5 は窒化チタン膜 4 と接する側がスズを引いたような状態となる。

【0004】 次に、化学増幅型レジスト膜 5 をマスクとして A1 合金膜 3 a および窒化チタン膜 4 のエッチングを行い、窒化チタン膜 4 が積層された配線層 3 を形成する（図 6）。

【0005】

【発明が解決しようとする課題】 従来の半導体装置は以上のように、化学増幅型レジスト 5 a のパターンニング時に窒化チタン膜 4 と化学増幅型レジスト 5 a とが反応し、化学増幅型レジスト膜 5 のパターンニングの精度が低下するので、配線層 3 のエレクトロマイグレーションは防止されるものの配線層 3 が短絡を起こしたり、配線層 3 の断面形状が斜めに形成され腐食されやすくなる等、配線層 3 の信頼性が低下するという問題点があった。

【0006】 この発明は上記のような問題点を解消するためになされたもので、配線層の信頼性を向上させることができる半導体装置および半導体装置の製造方法を提供することを目的とする。

【0007】

【課題を解決するための手段】 この発明に係る請求項 1 の半導体装置は、半導体基板上に形成されたアルミニウムを含む配線層と、配線層上のみに形成された窒化チタ

ン膜と、窒化チタン膜上のみに形成されたシリコン酸化膜とを備えたものである。

【0008】又、この発明に係る請求項2の半導体装置は、請求項1において、シリコン酸化膜の膜厚を、シリコン酸化膜および窒化チタン膜の境界面で反射した光と、シリコン酸化膜の上面で反射した光とが位相の反転により打ち消し合う厚みに設定したものである。

【0009】又、この発明に係る請求項3の半導体装置は、半導体基板上に形成されたアルミニウムを含む配線層と、配線層上のみに形成された窒化チタン膜と、窒化チタン膜上のみに形成されたプラズマ窒化膜と、プラズマ窒化膜上のみに形成された酸化膜とを備えたものである。

【0010】又、この発明に係る請求項4の半導体装置の製造方法は、半導体基板上にアルミニウムを含む導電膜および窒化チタン膜およびシリコン酸化膜を順次積層し、シリコン酸化膜上に化学増幅型レジストを塗布し写真製版によりパターンニングを行う。そして、化学増幅型レジストをマスクとして導電膜および窒化チタン膜およびシリコン酸化膜のエッチングを行いパターンニングされた導電膜から成る配線層を形成するものである。

【0011】又、この発明に係る請求項5の半導体装置の製造方法は、請求項4において、配線層を形成した後シリコン酸化膜をエッチング除去し、配線層を覆うように層間絶縁膜を形成し、層間絶縁膜のエッチングを行い窒化チタン膜に至るまでのコンタクトホールを形成するものである。

【0012】又、この発明に係る請求項6の半導体装置の製造方法は、請求項4または請求項5において、シリコン酸化膜の膜厚を、シリコン酸化膜および窒化チタン膜の境界面で反射した光と、シリコン酸化膜の上面で反射した光とが位相の反転により打ち消し合う厚みに形成するようにしたものである。

【0013】又、この発明に係る請求項7の半導体装置の製造方法は、半導体基板上にアルミニウムを含む導電膜および窒化チタン膜およびプラズマ窒化膜を順次積層し、プラズマ窒化膜の上面を酸化して酸化膜を形成する。そして、酸化膜上に化学増幅型レジストを塗布し写真製版によりパターンニングを行い、化学増幅型レジストをマスクとして導電膜および窒化チタン膜およびプラズマ窒化膜および酸化膜のエッチングを行いパターンニングされた導電膜から成る配線層を形成するものである。

【0014】又、この発明に係る請求項8の半導体装置の製造方法は、請求項7において、配線層を形成した後プラズマ窒化膜および酸化膜をエッチング除去し、配線層を覆うように層間絶縁膜を形成し、層間絶縁膜のエッチングを行い窒化チタン膜に至るまでのコンタクトホールを形成するものである。

【0015】

【作用】この発明の請求項1における半導体装置は、配

線層のパターニングの精度が向上するとともに、配線層のエレクトロマイグレーションを防止する。

【0016】又、この発明の請求項2における半導体装置は、配線層のパターニングの精度が向上しかつ微細化が計れるとともに、配線層のエレクトロマイグレーションを防止する。

【0017】又、この発明の請求項3における半導体装置は、配線層のパターニングの精度が向上しかつ微細化が計れるとともに、配線層のエレクトロマイグレーションを防止する。

【0018】又、この発明の請求項4における半導体装置の製造方法は、半導体基板上にアルミニウムを含む導電膜および窒化チタン膜およびシリコン酸化膜を順次積層し、シリコン酸化膜上に化学増幅型レジストを塗布し写真製版によりパターンニングを行う。そして、化学増幅型レジストをマスクとして導電膜および窒化チタン膜およびシリコン酸化膜のエッチングを行いパターンニングされた導電膜から成る配線層を形成するので、シリコン酸化膜により化学増幅型レジストと窒化チタン膜との反応が防止される。

【0019】又、この発明の請求項5における半導体装置の製造方法は、配線層を形成した後シリコン酸化膜をエッチング除去し、配線層を覆うように層間絶縁膜を形成し、層間絶縁膜のエッチングを行い窒化チタン膜に至るまでのコンタクトホールを形成するので、層間絶縁膜のエッチングのみにてコンタクトホールを形成する。

【0020】又、この発明の請求項6における半導体装置の製造方法は、シリコン酸化膜の膜厚を、シリコン酸化膜および窒化チタン膜の境界面で反射した光と、シリコン酸化膜の上面で反射した光とが位相の反転により打ち消し合う厚みに形成するようにしたので、化学増幅型レジストのパターニング時の露光の光の反射が低減される。

【0021】又、この発明の請求項7における半導体装置の製造方法は、半導体基板上にアルミニウムを含む導電膜および窒化チタン膜およびプラズマ窒化膜を順次積層し、プラズマ窒化膜の上面を酸化して酸化膜を形成する。そして、酸化膜上に化学増幅型レジストを塗布し写真製版によりパターンニングを行い、化学増幅型レジストをマスクとして導電膜および窒化チタン膜およびプラズマ窒化膜および酸化膜のエッチングを行いパターンニングされた導電膜から成る配線層を形成するので、酸化膜により化学増幅型レジストと窒化チタン膜との反応が防止されるとともに、化学増幅型レジストのパターニング時の露光の光の反射が低減される。

【0022】又、この発明の請求項8における半導体装置の製造方法は、配線層を形成した後プラズマ窒化膜および酸化膜をエッチング除去し、配線層を覆うように層間絶縁膜を形成し、層間絶縁膜のエッチングを行い窒化チタン膜に至るまでのコンタクトホールを形成するの

で、層間絶縁膜のエッチングのみにてコンタクトホールを形成する。

【0023】

【実施例】

実施例1. 以下、この発明の実施例を図について説明する。図1はこの発明の実施例1における半導体装置の構成を示す断面図である。図において、従来の場合と同様の部分は同一符号を付して説明を省略する。6は層間絶縁膜2上に形成されたA1の合金から成る配線層、7はこの配線層6のエレクトロマイグレーションを防止するため配線層6上に形成された窒化チタン膜、8はこの窒化チタン膜7上に例えば10～1000オングストロームの厚みにて形成されたシリコン酸化膜である。

【0024】次に上記のように構成された実施例1の半導体装置の製造工程について図1および図2を用いて説明する。まず、半導体基板1の層間絶縁膜2上にA1合金膜6a、窒化チタン膜7およびシリコン酸化膜8を順次積層する(図2(a))。次に、シリコン酸化膜8上に化学増幅型レジスト9aを塗布し(図2(b))、これをパターニングして化学増幅型レジスト膜9を形成する(図2(c))。この際、化学増幅型レジスト9aと窒化チタン膜7との反応はシリコン酸化膜8により阻止されている。又、窒化チタン膜7は従来の場合と同様に反射防止膜として機能するので、化学増幅型レジスト膜9のパターニングは精度よく行われる。

【0025】次に、化学増幅型レジスト膜9をマスクとしてA1合金膜6a、窒化チタン膜7およびシリコン酸化膜8のエッチングを行い、窒化チタン膜7およびシリコン酸化膜8が積層された配線層6を形成する(図1)。この時、例えば配線層6が半導体装置の最上配線層であるならば、シリコン酸化膜8は配線層6および窒化チタン膜7の腐食を防止するというパッシベーション膜としての機能も併せ持つことができる。

【0026】上記のように構成された実施例1の半導体装置は、シリコン酸化膜8が化学増幅型レジスト9aと窒化チタン膜7との反応を阻止し、化学増幅型レジスト膜9のパターニングの精度が向上するため、配線層6のエレクトロマイグレーションが防止されるのはもちろんのこと配線層6のパターニングが精度よく形成されかつ配線層6の断面形状が垂直に形成され腐食されにくくなるので、配線層6の信頼性を向上させることができる。

【0027】実施例2. 図3はこの発明の実施例2における半導体装置の構成を示す断面図である。図において、上記実施例1と同様の部分は同一符号を付して説明を省略する。10は配線層6を覆うように積層された第2の層間絶縁膜、11は第2の層間絶縁膜10を窒化チタン膜7に至るまでエッチングされて形成されたコンタクトホールである。

【0028】次に上記のように構成された実施例2の半導体装置の製造工程について図3を用いて説明する。ま

ず、上記実施例1と同様の工程を経て図3(a)に示すような配線層6のパターニング後、シリコン酸化膜8をエッチングする(図3(b))。この時、層間絶縁膜2も一部エッチングされる。次に、配線層6を覆うように第2の層間絶縁膜10を積層する(図3(c))。次に、第2の層間絶縁膜10のエッチングを行い窒化チタン膜7に至るまでのコンタクトホール11を形成する(図3(d))。

【0029】上記のように構成された実施例2の半導体装置は配線層6にてコンタクトをとるためのコンタクトホール11を形成する際に、シリコン酸化膜8が除去されているため、コンタクトホール11の形成時のエッチングは均質な第2の層間絶縁膜10のみとなるので容易に行うことができる。又、シリコン酸化膜8が残留しないため、半導体装置を薄く形成できる。

【0030】実施例3. 上記各実施例ではシリコン酸化膜の膜厚について特に限定しなかったが、例えばシリコン酸化膜の膜厚を、シリコン酸化膜および窒化チタン膜の境界面で反射した光と、シリコン酸化膜および化学増幅型レジスト膜の境界面で反射した光とが位相の反転により打ち消し合う厚みに設定する。この際の入射光は化学増幅型レジストのパターニング時の露光に用いる光とする。

【0031】上記のように構成された実施例3の半導体装置は化学増幅型レジストのパターニング時の露光の光の反射が上記各実施例より低減されるため、より一層微細な配線層を形成することができる。

【0032】実施例4. 図4はこの発明の実施例4の構成を示す断面図である。図において上記各実施例と同様の部分には同一符号を付して説明を省略する。12は窒化チタン膜7上に形成されたプラズマ窒化膜、13はプラズマ窒化膜12上に形成された酸化膜である。

【0033】次に上記のように構成された実施例4の半導体装置の製造工程について図4および図5を用いて説明する。まず、半導体基板1の層間絶縁膜2上にA1合金膜6a、窒化チタン膜7およびプラズマ窒化膜12を順次積層する(図5(a))。次に、プラズマ窒化膜12の表面を例えば50オングストローム程度酸化して酸化膜13を形成する(図5(b))。

【0034】次に、酸化膜13上に化学増幅型レジスト14aを塗布し(図5(c))、これをパターニングして化学増幅型レジスト膜14を形成する(図5(d))。この際、化学増幅型レジスト14aと窒化チタン膜7との反応は酸化膜13により阻止されている。又、プラズマ窒化膜12は窒化チタン膜7より反射防止性に優れているので、化学増幅型レジスト膜14のパターニングは精度よく、微細に形成される。

【0035】次に、化学増幅型レジスト膜14をマスクとしてA1合金膜6a、窒化チタン膜7、プラズマ窒化膜12および酸化膜13のエッチングを行い、窒化チタ

ン膜7、プラズマ窒化膜12および酸化膜13が積層された配線層6を形成する(図4)。この時、例えば配線層6が半導体装置の最上配線層であるならば、酸化膜13およびプラズマ窒化膜12は配線層6および窒化チタン膜7の腐食を防止するというパッシベーション膜としての機能も重ね合わせることができる。

【0036】上記のように構成された実施例4の半導体装置は酸化膜13が化学増幅型レジスト14aと窒化チタン膜7との反応を阻止するため、上記実施例1と同様の効果を奏することはもちろんのこと、プラズマ窒化膜12を用いるようにしたので、化学増幅型レジスト14aのパターニング時の露光の光の反射が上記実施例1より低減されるため、より一層微細な配線層6を形成することができる。

【0037】実施例5. 上記実施例4では配線層6上にプラズマ窒化膜12および酸化膜13を残置させるようにしたけれども、例えば、プラズマ窒化膜12および酸化膜13をエッチング除去した後、上記実施例2と同様に配線層6とコンタクトをとるためのコンタクトホールを形成すれば、上記実施例2と同様の効果を奏することができる。

【0038】

【発明の効果】以上のようにこの発明の請求項1によれば、半導体基板上に形成されたアルミニウムを含む配線層と、配線層の上にのみ形成された窒化チタン膜と、窒化チタン膜の上にのみ形成されたシリコン酸化膜とを備えるようにしたので、配線層の信頼性を向上させることができる半導体装置を提供することが可能である。

【0039】又、この発明の請求項2によれば、請求項1において、シリコン酸化膜の膜厚を、シリコン酸化膜および窒化チタン膜の境界面で反射した光と、シリコン酸化膜の上面で反射した光とが位相の反転により打ち消し合う厚みに設定するようにしたので、配線層の信頼性が向上するとともに配線層の微細化を計ることができる半導体装置を提供することが可能である。

【0040】又、この発明の請求項3によれば、半導体基板上に形成されたアルミニウムを含む配線層と、配線層の上にのみ形成された窒化チタン膜と、窒化チタン膜の上にのみ形成されたプラズマ窒化膜と、プラズマ窒化膜の上にのみ形成された酸化膜とを備えるようにしたので、配線層の信頼性が向上するとともに配線層の微細化を計ることができる半導体装置を提供することが可能である。

【0041】又、この発明の請求項4によれば、半導体基板上にアルミニウムを含む導電膜および窒化チタン膜およびシリコン酸化膜を順次積層し、シリコン酸化膜上に化学増幅型レジストを塗布し写真製版によりパターニングを行う。そして、化学増幅型レジストをマスクとして導電膜および窒化チタン膜およびシリコン酸化膜のエッチングを行いパターニングされた導電膜から成る配線層を形成するようにしたので、化学増幅型レジストのパ

ターニングの精度が向上し延いては、配線層の信頼性を向上することができる半導体装置の製造方法を提供することが可能である。

【0042】又、この発明の請求項5によれば、請求項4において、配線層を形成した後シリコン酸化膜をエッチング除去し、配線層を覆うように層間絶縁膜を形成し、層間絶縁膜のエッチングを行い窒化チタン膜に至るまでのコンタクトホールを形成するようにしたので、コンタクトホールの形成を容易に行うことができる半導体装置の製造方法を提供することが可能である。

【0043】又、この発明の請求項6によれば、請求項4または請求項5において、シリコン酸化膜の膜厚を、シリコン酸化膜および窒化チタン膜の境界面で反射した光と、シリコン酸化膜の上面で反射した光とが位相の反転により打ち消し合う厚みに形成するようにしたので、化学増幅型レジストのパターニングの微細化が計れ延いては、配線層のパターニングの微細化を計ることができる半導体装置の製造方法を提供することが可能である。

【0044】又、この発明の請求項7によれば、半導体基板上にアルミニウムを含む導電膜および窒化チタン膜およびプラズマ窒化膜を順次積層し、プラズマ窒化膜の上面を酸化して酸化膜を形成する。そして、酸化膜上に化学増幅型レジストを塗布し写真製版によりパターニングを行い、化学増幅型レジストをマスクとして導電膜および窒化チタン膜およびプラズマ窒化膜および酸化膜のエッチングを行いパターニングされた導電膜から成る配線層を形成するようにしたので、化学増幅型レジストのパターニングの精度が向上し延いては、配線層の信頼性を向上することができ又、化学増幅型レジストのパターニングの微細化が計れ延いては、配線層のパターニングの微細化を計ることができる半導体装置の製造方法を提供することが可能である。

【0045】又、この発明の請求項8によれば、請求項7において、配線層を形成した後プラズマ窒化膜および酸化膜をエッチング除去し、配線層を覆うように層間絶縁膜を形成し、層間絶縁膜のエッチングを行い窒化チタン膜に至るまでのコンタクトホールを形成するようにしたので、コンタクトホールの形成を容易に行うことができる半導体装置の製造方法を提供することが可能である。

【図面の簡単な説明】

【図1】 この発明の実施例1における半導体装置の構成を示す断面図である。

【図2】 図1に示す半導体装置の製造工程を示す断面図である。

【図3】 この発明の実施例2における半導体装置の構成およびその製造工程を示す断面図である。

【図4】 この発明の実施例4における半導体装置の構成を示す断面図である。

【図5】 図4に示す半導体装置の製造工程を示す断面

図である。

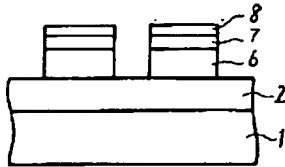
【図6】 従来の半導体装置の構成を示す断面図である。

【図7】 図6に示す半導体装置の製造工程を示す断面図である。

【符号の説明】

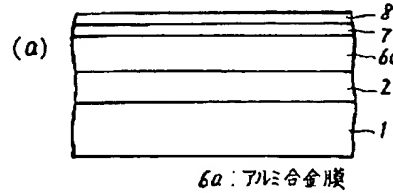
1 半導体基板、6 配線層、6b アルミ合金膜、7 窒化チタン膜、8 シリコン酸化膜、9a、14a 化学増幅型レジスト、9、14 化学増幅型レジスト膜、10 第2の層間絶縁膜、11 コンタクトホール、12 プラズマ窒化膜、13 酸化膜。

【図1】

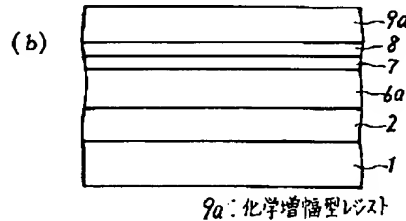


1:半導体基板
6:配線層
7:窒化チタン膜
8:シリコン酸化膜

【図2】

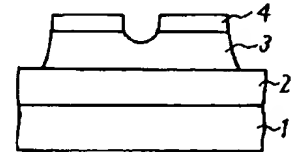


6a:アルミ合金膜

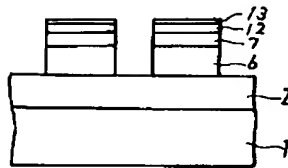


9a:化学増幅型レジスト

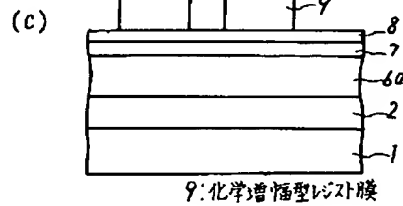
【図6】



【図4】

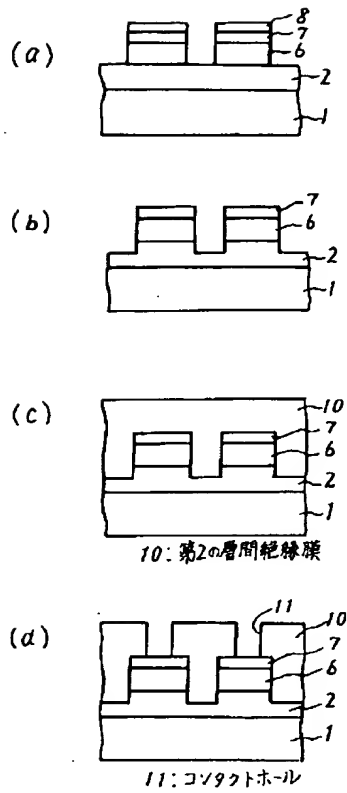


12:プラズマ窒化膜
13:酸化膜

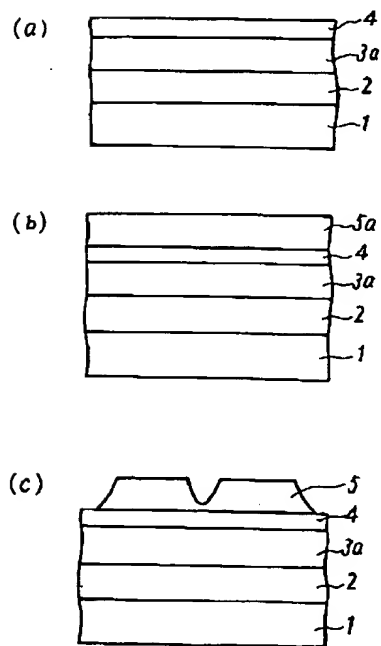


9:化学増幅型レジスト膜

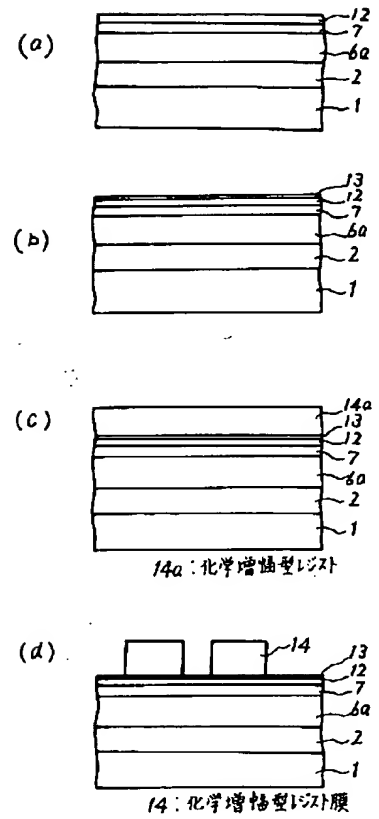
【図3】



【図7】



【図5】



フロントページの続き

(51) Int. Cl.⁶

H 0 1 L 21/3205

識別記号

庁内整理番号

F I

技術表示箇所